

## Druhy spínání

Spínání, které bude realizovat změnu jednoho stavu na druhý, může být realizováno několika způsoby:

1. mechanicky (pomocí pák, vaček, ...) - toto spínání je velmi pomalé, protože doby zpoždění (tj. doby nutné na změnu jednoho stavu na druhý) jsou řádově až 10 s a vyžaduje [příkon](#) až 10 kW;
2. hydraulicky (pneumaticky) - doby zpoždění jsou řádově 10 ms až 1 s a zařízení vyžaduje příkon řádově [jednotky](#) wattů;
3. elektrickými obvody z diskrétních součástek;
4. číslicovými [integrovanými obvody](#) - jsou v současnosti nejvíce používány.

Mezi elektrické obvody z diskrétních součástek patří [elektromagnetická relé](#), [tranzistory](#) a [diody](#). Elektromagnetická relé jsou ovšem v současnosti již zastaralá - jejich doby zpoždění se pohybují v řádech 100 ms. Tranzistory a diody mají doby zpoždění menší než 10 ms a vyžadují [výkon](#) menší než 10 mW. Tento způsob realizace spínačů se využívá v současnosti spíše na amatérské úrovni. Konkrétně se používá:

1. DL - diodová logika, pomocí níž se sestavují pasivní obvody;
2. DTL - dioda tranzistorová logika realizovaná tak, že na vstupu obvodu je dioda a na [výstupu](#) tranzistor;
3. RTL - [rezistor](#) tranzistorová logika realizovaná tak, že na vstupu obvodu jsou rezistory a na výstupu obvodu jsou tranzistory.

V současné době jsou nejvíce používány číslicové integrované obvody (digitální integrované obvody):

1. [TTL](#) - tranzistor tranzistorová logika realizovaná [bipolárními tranzistory](#), které jsou na vstupu i výstupu obvodu. Tento druh spínání obvodů je velmi rychlý - doba zpoždění je řádově 10 ns s příkonem menším než 10 mW na [hradlo](#).
2. ECL - emitorově vázaná logika sestavená z bipolárních tranzistorů. Zatím je to nejrychlejší způsob spínání: doba zpoždění je pod 1 ns s příkonem řádově 10 mW na hradlo. Nevýhodou tohoto druhu spínání je, že není kompatibilní s TTL a CMOS.
3. CMOS - spínače realizované [unipolárními tranzistory](#) typu P a typu N (komplementární FETy). Ve srovnání s TTL jsou pomalejší (doba zpoždění je obvykle vyšší než 10 ns, což je způsobeno nižší pohyblivostí [děr](#)), ale mají nejnižší příkony (10 nW až 100 nW na hradlo). Jejich nevýhodou je velká citlivost na statickou elektřinu - proto mají velmi vysoký vstupní odpor. S jistou opatrností jsou kompatibilní s TTL.
4. NMOS - realizovány tranzistory typu N - [FET](#) s dobou zpoždění podobnou jako má TT a s příkonem vyšším než CMOS (řádově  $10 \mu\text{W}$  na hradlo). Jsou velmi citlivé na statickou elektřinu.

Logické obvody se staly jednou ze základních forem integrovaných obvodů proto, že logické obvody se v číslicových zařízeních často mnohonásobně opakují a navíc u logických obvodů nejsou podstatné tolerance jednotlivých parametrů tranzistoru.